

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **06-053383**
 (43)Date of publication of application : **25.02.1994**

(51)Int.CI.

H01L 23/50
 C23C 18/18
 C23F 1/00

(21)Application number : **04-223469**

(71)Applicant : **MITSUI HIGH TEC INC**

(22)Date of filing : **29.07.1992**

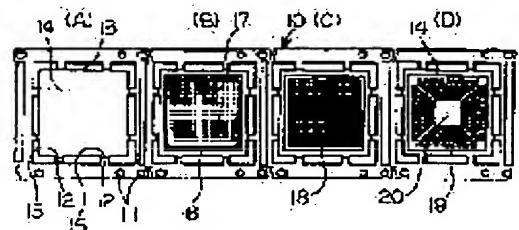
(72)Inventor : **MATSUBARA TOSHIYA**

(54) MANUFACTURE OF SUBSTRATE FOR MOUNTING SEMICONDUCTOR ELEMENT

(57)Abstract:

PURPOSE: To provide a manufacture of a substrate for mounting a semiconductor element in which a conductor layer formed on the surface and a base material have a strong bonding and a thin thickness can be obtained and a heat dissipation of the semiconductor element can be improved.

CONSTITUTION: While forming pilot holes 11 on the side of a thin plate material 10, a rectangular base material 14 surrounded by transparent holes 13 for separation whose internal and external parts are partially connected through a plurality of connecting pieces 12 is formed inside the pilot holes 11, and an insulating adhesive 16 is applied to a specific region on the base material 14, and a metal powder 17 is spread to secure before the adhesive 16 hardens. Next, a plating is performed on the spread metal powder 17 and a conductor layer 18 is formed. Further, after covering the whole with a resist film, a predetermined lead pattern is exposed and developed on the conductor layer 18 by a photolithography, and then the conductor layer 18 is formed on a lead pattern 19 by an etching treatment.



LEGAL STATUS

[Date of request for examination] **08.09.1995**

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] **2632762**

[Date of registration] **25.04.1997**

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision
of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

MANUFACTURE OF SUBSTRATE FOR MOUNTING SEMICONDUCTOR ELEMENT

Patent Number: JP6053383
Publication date: 1994-02-25
Inventor(s): MATSUBARA TOSHIYA
Applicant(s): MITSUI HIGH TEC INC
Requested Patent: JP6053383
Application Number: JP19920223469 19920729
Priority Number(s):
IPC Classification: H01L23/50; C23C18/18; C23F1/00
EC Classification:
Equivalents: JP2632762B2

Abstract

PURPOSE: To provide a manufacture of a substrate for mounting a semiconductor element in which a conductor layer formed on the surface and a base material have a strong bonding and a thin thickness can be obtained and a heat dissipation of the semiconductor element can be improved.

CONSTITUTION: While forming pilot holes 11 on the side of a thin plate material 10, a rectangular base material 14 surrounded by transparent holes 13 for separation whose internal and external parts are partially connected through a plurality of connecting pieces 12 is formed inside the pilot holes 11, and an insulating adhesive 16 is applied to a specific region on the base material 14, and a metal powder 17 is spread to secure before the adhesive 16 hardens. Next, a plating is performed on the spread metal powder 17 and a conductor layer 18 is formed. Further, after covering the whole with a resist film, a predetermined lead pattern is exposed and developed on the conductor layer 18 by a photolithography, and then the conductor layer 18 is formed on a lead pattern 19 by an etching treatment.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-53383

(43)公開日 平成6年(1994)2月25日

(51)Int.Cl.⁵
H 01 L 23/50
C 23 C 18/18
C 23 F 1/00

識別記号 A 9272-4M
Y 9272-4M
1 0 2 8414-4K

F I

技術表示箇所

審査請求 未請求 請求項の数1(全4頁)

(21)出願番号

特願平4-223469

(22)出願日

平成4年(1992)7月29日

(71)出願人 000144038

株式会社三井ハイテック

福岡県北九州市八幡西区小嶺2丁目10-1

(72)発明者 松原 俊也

福岡県北九州市八幡西区小嶺2丁目10-1

株式会社三井ハイテック内

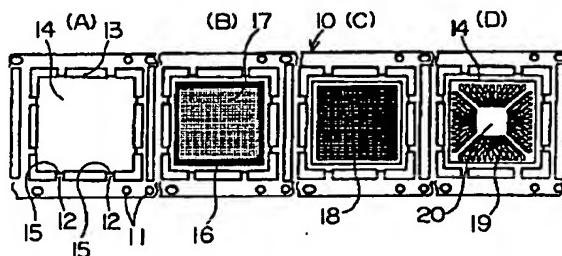
(74)代理人 弁理士 中前 富士男

(54)【発明の名称】 半導体素子搭載用基板の製造方法

(57)【要約】

【目的】 表面に形成される導体層と基材との結合が強固で、更には薄型化も可能で、半導体素子の熱放散も向上できる半導体素子搭載用基板の製造方法を提供する。

【構成】 薄板条材10の側部にバイロット孔11を形成すると共に、その内部に、複数の連結片12によって内外が部分的に連結された分離用透孔13によって囲まれる四角形の基材14を形成し、該基材14上の特定領域に絶縁性のある接着剤16を塗布し、該接着剤16が未硬化の内に更に金属粉17を散布固着した後、該散布された金属粉17上にめっきを行って導体層18を形成し、更に、全体をレジスト膜で覆った後に、前記導体層18上に写真法によって所定のリードパターンを露光・現像した後、エッティング処理によって前記導体層18をリードパターン19に形成する。



1

【特許請求の範囲】

【請求項1】薄板条材の側部にバイロット孔を形成すると共に、その内部に、複数の連結片によって内外が部分的に連結された分離用透孔によって囲まれる四角形の基材を形成し、該基材上の特定領域に絶縁性のある接着剤を塗布し、該接着剤が未硬化の内に更に金属粉を散布固着した後、該散布された金属粉上にめっきを行って導体層を形成し、更に、全体をレジスト膜で覆った後に、前記導体層上に写真法によって所定のリードパターンを露光・現像した後、エッチング処理によって前記導体層をリードパターンに形成することを特徴とする半導体素子搭載用基板の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、特定の機能を有する電子機能素子が搭載される半導体素子搭載用基板の製造方法に関する。

【0002】

【従来の技術】従来の半導体装置に使用するリードフレームは、中央部に半導体素子を搭載する素子搭載部と、該素子搭載部を中心にして放射状に形成した複数のインナーリードと、該インナーリードに接続されるアウターリードとを有し、前記素子搭載部に半導体素子を搭載した後、該半導体素子のバットと前記インナーリードとを金属ワイヤを介して連結し、外周を樹脂封止していたが、このようなリードフレームにおいては、最近の半導体装置の高集積化、多機能化、小型化に伴って以下に説明するような種々な問題点を生じた。即ち、従来の半導体装置においては、更に半導体素子の集積度が高くなり接続の為にインナーリードの数が増した場合、インナーリードの先端を半導体素子の近くに配置するか、あるいはインナーリードと半導体素子との間をあけて金属ワイヤの長さを長くして結線することになるが、インナーリードと半導体素子との距離を近づけると、インナーリードの先端を細くする必要があって、加工が難しくなり、更にはインナーリードと半導体素子との間隔をあけると金属ワイヤの長さが長くなって、搬送時あるいはモールド時に隣合う金属ワイヤの接触によって不測の短絡を生じる等の問題点があった。そこで、半導体素子搭載部及びその周囲のインナーリード部分を備える半導体素子搭載用基板だけを製造する場合には、絶縁樹脂上に貼着した金属箔をエッチング加工によってリードパターンを形成して製造し、組立時にアウターリードと接合して樹脂封止する半導体装置が提案されていた。

【0003】

【発明が解決しようとする課題】しかしながら、前記半導体装置においては、絶縁樹脂上に金属箔を貼着した基材をエッチングすることによって、インナーリード等を形成しているので、製造工程中に前記金属箔が剥離し易いという問題点があった。また、前記絶縁樹脂は一定の

2

厚みを有するので、半導体装置全体が薄型化が困難となり、更には半導体素子の熱放散も悪いという問題点があった。本発明はかかる事情に鑑みてなされたもので、表面に形成される導体層と基材との結合が強固で、更には薄型化も可能で、半導体素子の熱放散も向上できる半導体素子搭載用基板の製造方法を提供することを目的とする。

【0004】

【課題を解決するための手段】前記目的に沿う請求項1記載の半導体素子搭載用基板の製造方法は、薄板条材の側部にバイロット孔を形成すると共に、その内部に、複数の連結片によって内外が部分的に連結された分離用透孔によって囲まれる四角形の基材を形成し、該基材上の特定領域に絶縁性のある接着剤を塗布し、該接着剤が未硬化の内に更に金属粉を散布固着した後、該散布された金属粉上にめっきを行って導体層を形成し、更に、全体をレジスト膜で覆った後に、前記導体層上に写真法によって所定のリードパターンを露光・現像した後、エッチング処理によって前記導体層をリードパターンに形成するようにして構成されている。ここで、前記薄板条材には銅板あるいは銅合金板を使用するのが好ましが、他の金属板であっても本発明は適用される。また、前記金属粉およびめっきには銅粉および銅めっきを行うのが好ましいが、エッチングが可能な金属粉、金属めっき（例えば、ニッケル粉、ニッケルめっき）であれば、本発明は適用される。また、前記連結片にはVノッチを設けることも可能である。

【0005】

【作用】請求項1記載の半導体素子搭載用基板の製造方法は、薄板条材の側部にバッロット孔を設け、その内部に連結片によって一部連結されているが、分離用透孔に囲まれる四角形の基材を形成し、この上に接着剤を塗布して、該接着剤が未硬化の内に金属粉を散布固着した後、めっきを行うようにしているので、基材に強固に金属粉とめっきによる導体層を形成することができる。次に、全体をレジスト膜で覆った後、写真法によって所定のリードパターンを露光・現像し、エッチング処理によってリードパターンを形成するようにしているので、リードパターンの細かい部分を再現することができ、これによって半導体に、より近い高い密度のパターンを造ることができ、更には作られたリードパターンの剥離が生じにくいという作用を有する。そして、前記半導体素子搭載用基板は、金属の薄板条材の中央に半導体素子を搭載することになるので、半導体素子によって発生する熱は基材を介して放散される。また、半導体素子の搭載及びワイヤリングにあっては、前記薄板条材の側面に設けられたバイロット孔を基準にして、該薄板条材を正確に位置決めしながら作業が行なえるので、正確なワイヤリングが可能となる。

【0006】

【実施例】続いて、添付した図面を参照しつつ、本発明を具体化した実施例につき説明し、本発明の理解に供する。ここに、図1は本発明の一実施例に係る半導体素子搭載用基板の製造方法の工程を示す平面図、図2は同側面図、図3は同部分拡大図、図4は本発明の他の実施例方法によって製造された半導体素子搭載用基板の平面図である。

【0007】図1(A)及び図2(A)に示すように、銅、銅合金からなる薄板条材10に所定のバイロット孔11を形成すると共に、その内部に複数の連結片12によって部分的に接合した分離用透孔13によって囲まれる四角形の基材14をプレス加工によって形成する。前記連結片12の表面及び/又は裏面には後工程で、該基材14の分離が容易なように、Vノッチ15を同じくプレス加工によって形成しておく。

【0008】次に、図1(B)及び図2(B)に示すように、基材14にその縁部分を残して絶縁性の接着剤を塗布し、接着剤層16を形成する。この処理はスクリーン印刷法によって行う。そして、この接着剤層16が乾かない内に、図1(B)、図2(C)に示すようにそのやや内側に金属粉の一例である銅粉17を塗布する。この銅粉17の塗布は基材14の上に適当なマスキングを行って、該銅粉17を吹きつけても良いが、通常は底部にスクリーンを備えた升内に銅粉17を入れて、これを前記接着剤層16の上に乗せて、前記スクリーンを通じて銅粉17を散布する。これによって銅粉17は接着剤層16の内部に食い込むので、銅粉17が充分な強度を有して接着剤層16に固着される。

【0009】前記接着剤層16が充分に乾いた後、図1(C)、図2(D)に示すように、他の部分はレジスト膜でマスキングして、前記銅粉17の上に無電解銅めっきを行い、これによって、銅粉17と銅めっき層が一体となって、前記接着剤層16の上に剥離困難な導体層18を形成する。

【0010】次に全体をレジスト膜で覆った後、前記導体層18の上にインナーリード19のリードパターンを露光・現像し、エッチングして、図1(D)、図2(E)及び図3に示すように、前記接着剤層16の上にインナーリード19を形成する。この後、中央の素子搭載部20に絶縁テープを介して所定の半導体素子を固着し、導電性ワイヤによって所定のワイヤリングを行い、前記Vノッチ15の部分から該基材14を切離し、前記インナーリード19と、例えばプレス加工によって形成されたアウターリードとを、半田、圧着、ワイヤリング、導電性接着剤を用いたボンディング等によって固着した後、樹脂封止を行って半導体装置が完成する。

【0011】図4には、本発明の他の実施例によって製造された半導体素子搭載用基板21を示すが、図に示すように前記方法によって複数のインナーリード22、2

3が薄板条材24に接着剤層25を介して設けられている。これによって、半導体装置の小型化を図ることができると共に、薄型化を図ることができる。なお、前記実施例と同一の構成要素については、同一の番号を付してその説明を省略する。

【0012】なお、以上の実施例においては、前記インナーリードの先端部あるいは後端部に、ワイヤリングあるいは圧着性の向上的為、貴金属めっきをすることも可能である。この場合も前記バイロット孔を利用して位置決めするが可能であるので、正確なめっきを行うことができる。更に、インナーリードと同一平面上に設けた電源用、接地用のバスリードを備えたLOCやCOLタイプの半導体装置に用いる半導体素子搭載用基板にも本発明は適用できる。

【0013】

【発明の効果】本発明に係る半導体素子搭載用基板の製造方法は、以上の説明からも明らかなように、薄板条材の上に接着剤層を形成し、その上に金属粉を塗布し、更にめっきを行って、導体層を形成しているので、該導体層によって形成されるリードパターンと薄板条材の接着性が極めて良好である。そして、接着剤層及び導体層を極めて薄く形成できるので、薄型の半導体装置を構成することが可能である。また、薄板条材が半導体素子の放熱板として働くので、半導体素子に熱破壊が生じ難いという利点を有する。

【図面の簡単な説明】

【図1】本発明の一実施例に係る半導体素子搭載用基板の製造方法の工程を示す平面図である。

【図2】同側面図である。

【図3】同部分拡大図である。

【図4】本発明の他の実施例方法によって製造された半導体素子搭載用基板の平面図である。

【符号の説明】

10 薄板条材

11 バイロット孔

12 連結片

13 分離用透孔

14 基材

15 Vノッチ

16 接着剤層

17 銅粉

18 導体層

19 インナーリード

20 素子搭載部

21 半導体素子搭載用基板

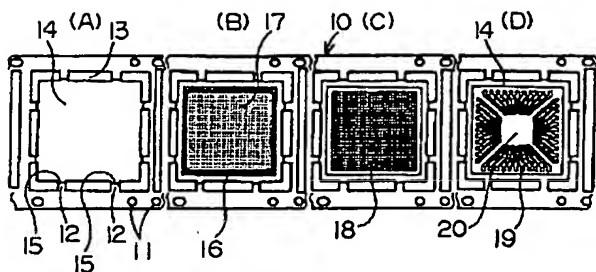
22 インナーリード

23 インナーリード

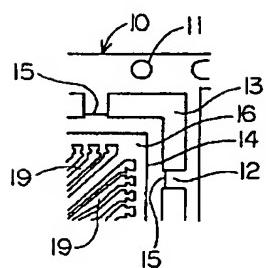
24 薄板条材

25 接着剤層

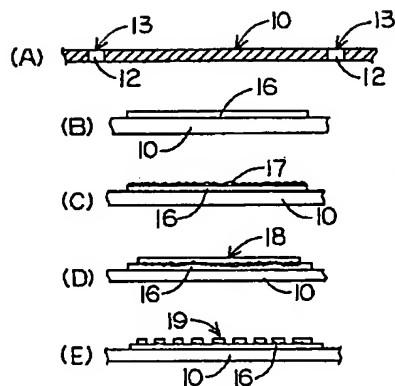
【図1】



【図3】



【図2】



【図4】

